

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-270643  
 (43)Date of publication of application : 09.10.1998

(51)Int.CI. H01L 27/04  
 H01L 21/822

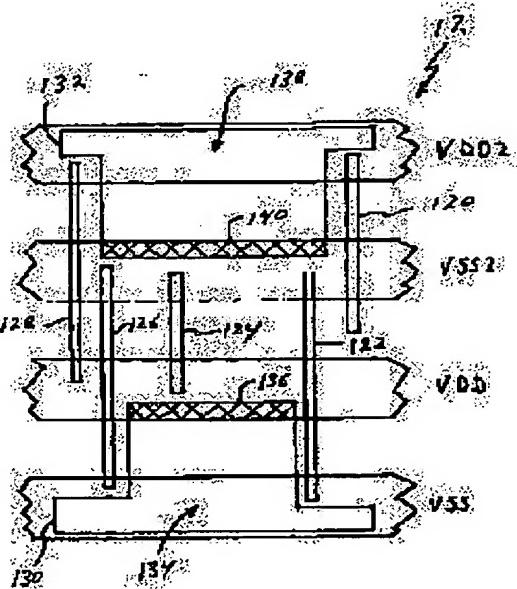
(21)Application number : 10-068296 (71)Applicant : LSI LOGIC CORP  
 (22)Date of filing : 18.03.1998 (72)Inventor : PAUL TOOJAASON  
 SCOTT KING

(30)Priority  
 Priority number : 97 819299 Priority date : 18.03.1997 Priority country : US

## (54) SEMICONDUCTOR DIE HAVING ON-DIE TYPE DECOUPLING CAPACITANCE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To efficiently suppress the noise by electrically connecting a power decoupling capacitor between first and second power conductors to hold charges for a local transistor to use as necessary.  
**SOLUTION:** A conductive segment 130 is electrically connected to a power source bus VDD through vias, this bus has a reverse polarity to that of a power source bus VSS and the segment 130 is separated from this bus VSS. The conductive segment has a part overlapped with the bus VSS which forms a power decoupling capacitor with an overlapped part with the bus VSS. This capacitor holds charges which a local transistor in an I/O region 12 can use as necessary and hence is very near to a device needing the charges during switching and very efficient, through its total capacitance is small.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

[of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-270643 ✓

(43) 公開日 平成10年(1998)10月9日

(51) Int.Cl.<sup>8</sup>

H 01 L 27/04  
21/822

識別記号

F I

H 01 L 27/04

H

審査請求 未請求 請求項の数12 O.L (全 8 頁)

(21) 出願番号 特願平10-68296

(22) 出願日 平成10年(1998)3月18日

(31) 優先権主張番号 819299

(32) 優先日 1997年3月18日

(33) 優先権主張国 米国 (U.S.)

(71) 出願人 591007686

エルエスアイ ロジック コーポレーション  
LSI LOGIC CORPORATION

アメリカ合衆国、カリフォルニア州、ミルピタス、マッカーシー ブルバード 1551  
ポール・トージャーソン

アメリカ合衆国ミネソタ州55076, インヴ  
ナー・グローヴ・ハイツ, クリーディス・  
アベニュー・イースト 8285

(74) 代理人 弁理士 社本 一夫 (外5名)

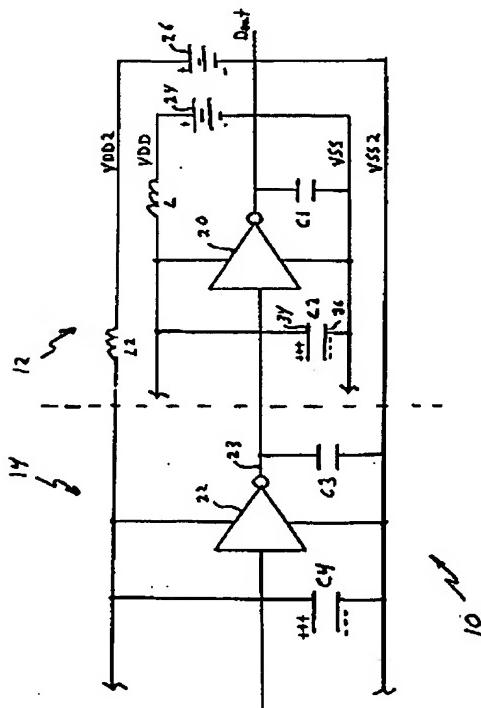
最終頁に続く

(54) 【発明の名称】 オン・ダイ型のデカップリング・キャパシタンスを有する半導体ダイ

(57) 【要約】

【課題】 複数のトランジスタの同時的なスイッチング  
に伴うノイズを低下させること。

【解決手段】 集積回路回路 (10)において、オン・  
ダイ型の電源デカップリング・コンデンサ (C2、C  
4)を、同時にスイッチングを行う複数のトランジスタ  
の近傍に、第1及び第2の電源導体の間に電気的に結合  
するように設け、それらのトランジスタに追加的な電荷  
を提供することによって、ノイズを低下させる。



## 【特許請求の範囲】

【請求項 1】 複数の半導体セルと、  
第1及び第2のルーティング層と、  
前記ルーティング層の間に位置する誘電層と、  
異なる相対的極性を有し前記複数の半導体セルに電気的に結合した第1及び第2の電源導体であって、前記第1の電源導体は、前記第1及び第2のルーティング層の一方に沿って延長している、第1及び第2の電源導体と、前記第2の電源導体に電気的に結合し前記第1及び第2のルーティング層の他方に沿って延長しており、前記第1の電源導体と部分的に重複して前記誘電層に亘るコンデンサを形成する導体セグメントと、  
を備えていることを特徴とする集積回路ダイ。

【請求項 2】 請求項1記載の集積回路ダイにおいて、  
第3のルーティング層を更に備えており、  
前記第1のルーティング層は金属3ルーティング層を定義し、前記第2のルーティング層は金属2ルーティング層を定義し、前記第3のルーティング層は金属1ルーティング層を定義し、  
前記第1及び第2の電源導体は、前記金属3ルーティング層に沿って延長し、  
前記導体セグメントは、前記金属1及び金属2ルーティング層の一方に沿って延長することを特徴とする集積回路ダイ。

【請求項 3】 請求項2記載の集積回路ダイにおいて、  
前記金属3ルーティング層から前記金属2ルーティング層に延長する導電性バイアを更に備えており、  
前記導体セグメントは、前記金属2ルーティング層に沿って延長して、前記導電性バイアを介して前記第2の電源導体に電気的に結合していることを特徴とする集積回路ダイ。

【請求項 4】 請求項1記載の集積回路ダイにおいて、  
コア領域と、  
前記コア領域を包囲する入出力(I/O)領域であつて、前記複数の半導体セルがこのI/O領域の内部に配置されているI/O領域と、  
前記第2のルーティング層に沿って延長し前記複数の半導体セルを相互接続する複数の信号導体と、を更に備えており、  
前記第1及び第2の電源導体は、前記I/O領域の内部において前記第1のルーティング層に沿って延長し、前記導体セグメントは、前記I/O領域の内部において前記第2のルーティング層に沿って延長することを特徴とする集積回路ダイ。

【請求項 5】 請求項1記載の集積回路ダイにおいて、  
コア領域であつて、前記複数の半導体セルがこのコア領域の内部に配置されているコア領域領域と、  
前記コア領域を包囲する入出力(I/O)領域と、  
前記コア領域の内部において前記第1及び第2のルーティング層に沿って延長し前記複数の半導体セルを相互接

続する複数の信号導体と、を更に備えており、  
前記第1及び第2の電源導体と前記導体セグメントとは、前記コア領域の内部において延長することを特徴とする集積回路ダイ。

【請求項 6】 請求項1記載の集積回路ダイにおいて、  
第3、第4及び第5のルーティング層を更に備えており、  
前記第1及び第2の電源導体は、前記第1、第2、第3及び第4のルーティング層の1つに沿って延長してお

10 前記導体セグメントは、前記第1、第2、第3及び第4のルーティング層の別の1つに沿って延長していることを特徴とする集積回路ダイ。

【請求項 7】 請求項1記載の集積回路ダイにおいて、  
前記第1の電源導体は電源バスから成り、前記第1の電源導体はグランド・バスから成ることを特徴とする集積回路ダイ。

【請求項 8】 請求項1記載の集積回路ダイにおいて、  
前記第1の電源導体はグランド・バスから成り、前記第2の電源導体は電源バスから成ることを特徴とする集積回路ダイ。

【請求項 9】 集積回路ダイであつて、  
複数の半導体セルと、  
異なる相対的極性を有し前記複数の半導体セルに電気的に結合している第1及び第2の電源導体と、  
このダイの内部に形成されており、前記第1及び第2の電源導体の間に電気的に結合されている電源デカップリング・コンデンサと、  
を備えていることを特徴とする集積回路ダイ。

30 【請求項 10】 請求項9記載の集積回路ダイにおいて、コア領域とこのコア領域を包囲する入出力(I/O)領域とを更に備えており、前記複数の半導体セルと前記電源デカップリング・コンデンサとは、前記コア領域の内部に配置されていることを特徴とする集積回路ダイ。

【請求項 11】 請求項9記載の集積回路ダイにおいて、コア領域とこのコア領域を包囲する入出力(I/O)領域とを更に備えており、前記複数の半導体セルと前記電源デカップリング・コンデンサとは、前記I/O領域の内部に配置されていることを特徴とする集積回路ダイ。

40 【請求項 12】 複数の半導体セルと、  
異なる相対的極性を有し前記複数の半導体セルに電気的に結合されている第1及び第2の電源導体と、  
前記第1の電源導体と重複しており、前記第2の電源導体に電気的に結合され、前記第1及び第2の電源導体の間に電源デカップリング・コンデンサを形成する導体手段と、  
を備えていることを特徴とする集積回路ダイ。

50 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路に関し、更に詳しくは、電源デカップリング・コンデンサを有する半導体ダイに関する。

## 【0002】

【従来の技術】半導体ダイは、シリコン基板と、その基板上に作成されたトランジスタ、抵抗、ダイオードなどの半導体デバイスのパターンとを含む。これらのデバイスは、その上に加えられたルーティング層に沿って延長する導電性材料の1又は複数のセグメントによって、電気的に相互接続されている。1つのルーティング層上の導電性セグメントと別の層上の導電性セグメントとは、導電性のバイアを介して電気的に結合される。

【0003】電源導体が、ダイの上の個別のデバイスに電力を供給する。これらの電源導体には、ダイの周辺部に沿ったルーティング層の中の1つの上において典型的にルーティングされている1又は複数の主電源バスが、電力を供給する。そして、電源バスには外部の電源が結合され、ダイに電力を提供する。

【0004】ダイ上のそれぞれのトランジスタは、その出力において相互接続キャパシタンスを有する。ダイ上のトランジスタは、その出力状態を変化させると同時に、外部電源からの電流をシンクして相互接続キャパシタンスを充電するか、外部電源に電流を与えて相互接続キャパシタンスを放電させるかのどちらかである。つまりが、トランジスタの出力における相互接続キャパシタンスは、電源におけるキャパシタンスと電荷を共有する。

## 【0005】

【発明が解決しようとする課題】電源とトランジスタとの間の距離が大きいために、電源とトランジスタ出力との間での電荷の共有は、比較的非効率的であり、出力における時間に関する電流の変化率にノイズを生じさせる。このノイズは、従来技術によるデバイスでは、外部コンデンサをダイへの電源入力に直って物理的に結合されることによってある程度まで抑制されている。しかし、このようなノイズ抑制方法は、コンデンサが電荷を共有する個別のトランジスタから大きく離れているために、依然として非効率的である。

## 【0006】

【課題を解決するための手段】本発明による集積回路ダイは、複数の半導体セルと、第1及び第2の電源導体(power supply conductors)とを含む。電源導体は、異なる相対的極性を有し、複数の半導体セルに電気的に結合されている。電源デカップリング・コンデンサがダイの内部に形成され、第1及び第2の電源導体の間に電気的に結合されて、ローカルなトランジスタが必要に応じて用いることができる電荷を保持する。

【0007】本発明のある実施例では、このデカップリング・コンデンサは、ダミーの導電性セグメントを電源

導体に選択的に接合させることによって形成される。ほとんどの製造過程において、一定の金属メッキを維持するために、最小の金属密度が要求される。ダミーの導電性セグメントが、ダイの1又は複数のルーティング層に加えられ、金属密度が粗である領域において均一な金属メッキを与える。これにより、ダイ製造の間のクオリティ・コントロールが向上する。ダミーの導電性セグメントが電源導体の一方に電気的に結合されるときには、ダミーの導電性セグメントと他方の電源導体との間に、ダミーの導電性セグメントが他方の電源導体と重なる領域において、コンデンサが形成される。別の実施例では、導電性セグメントが設計過程において追加され、そのようなコンデンサ構造を形成する。電源デカップリング・コンデンサは、ダイのI/O領域内に、又は、ダイのコア領域内に形成することができる。

## 【0008】

【発明の実施の形態】図1は、本発明による電源デカップリング・コンデンサを有する半導体集積回路10の回路図である。半導体集積回路10は、I/O領域12と20コア領域14とを有する。I/O領域12とコア領域とは、それぞれが、複数の半導体デバイス又はセルを有している。例えば、I/O領域12はインバータ20と有し、コア領域14はインバータ22を有する。インバータ22は、インバータ20への出力23上にデジタル信号を提供するプレドライバ(predriver)である。インバータ20は、デジタル信号を受け取り、その信号を、出力Doutを介してオフチップに駆動する。インバータ20は、I/O領域12内部に、I/Oセルの一部を形成する。電源バスVDD及びVSSは、外部電源24に結合され、電荷をI/O領域12の内部の半導体デバイスに供給する。同様に、電源バスVDD2及びVSS2は、外部電源26に結合され、電荷をコア領域14の内部の半導体デバイスに供給する。インダクタL1及びL2は、それぞれが、電源バスVDD及びVDD2におけるインダクタンスを表す。

【0009】コンデンサC1は、インバータ20の出力における相互接続キャパシタンスを表す。インバータ20の出力が状態を変更すると、インバータ20は、電流をコンデンサC1に与えるか、又は、電流をコンデンサC1からシンクする。スイッチングの間に必要な電荷は、電源バスVDD及びVSS上に、電源24によって提供される。従って、電源24は、電荷をコンデンサC1と共に有する。電源24によって提供されるキャパシタンスは比較的非効率的であるが、その理由は、電源24が半導体集積回路の外部にあるため、インバータ20からの距離が大きいからである。これは、インバータ20の出力において、時間に関する電流の変化率にノイズを生じさせる傾向を有する。

【0010】本発明によると、電源デカップリング・コンデンサC2が、インバータ20の近傍において、電源

バスVDD及びVSSの間のダイ構造に形成される。コンデンサC2は、未使用の金属構造(ダミー金属)をI/O領域12において延長して電源バスVDD又はVSSのどちらか一方に物理的に重ね(重複させ、オーバラップさせ)他方の電源バスにダミー金属を電気的に結合することによって、形成される。コンデンサC2は、プレート34及び36を含む。ある実施例では、プレート34は電源バスVDDによって形成され、プレート36は電源バスVDDに重なるダミー金属によって形成される。プレート36を形成するダミー金属の一端は、プレート34とプレート36とが反対の極性を有するように、電源バスVSSに結合される。

【0011】別の実施例では、プレート36は電源バスVSSによって形成され、プレート34は電源バスVSSに重なるダミー金属によって形成される。プレート34を形成するダミー金属の一端は、プレート34とプレート36とが反対の極性を有するように、電源バスVDDに結合される。いずれの実施例でも、コンデンサC2は、スイッチングの間にローカルなトランジスタが必要に応じて用いることができる電荷を保持する。コンデンサC2は、スイッチングの間に電荷を必要とする半導体デバイスに非常に近い物理的位置を有し、デバイスのスイッチングに伴う時間に関する電流の変化率におけるノイズを減少させる。

【0012】同様に、コンデンサC3は、インバータ22の出力23とインバータ20の入力との間の相互接続キャッシュタンスを表す。電源デカップリング・コンデンサC4は、ダミー金属をコア領域14において延長し電源バスVDD2又はVSS2のどちらか一方に結合された電源ストラップに物理的に重ねることによって、電源バスVDD2とVSS2との間に形成される。ダミー金属は、次に、反対の極性を有する他方の電源バスに電気的に結合される。

【0013】図2は、図1の回路をその中に作ることができる半導体ダイの平面図である。同じ又は同様の構成要素には、同じ参照番号が付されている。ダイ50は、I/O領域12と、コア領域14と、周辺部分52と、スクライプ領域54とを含む。I/O領域12は、スクライプ領域54に沿って、コア領域14の周囲に延長する。ダイ50は、I/O領域12及びコア領域14の内部のデバイスの間の相互接続をルーティング(経路決定)する複数のルーティング層を有する。それぞれの相互接続又は「ワイヤ」は、ダイ50上の種々のルーティング層の内部の特定のパターンでルーティングがなされている導電性材料から成る1又は複数のセグメントを含む。

【0014】図3は、図2の線3-3に沿った断面でのダイ50の断面図の概略である。ダイ50は、シリコン基板表面70と、ポリシリコン層74と、ルーティング層76、78、80、82、84と、二酸化シリコン層

86とを含む。半導体デバイスは、シリコン基板表面70とポリシリコン層74との間の領域72に形成される。ルーティング層76、78、80、82、84は、ポリシリコン層74の上に加えられ、誘電層(図示せず)によって分離される。これらのルーティング層は、「金属1」、「金属2」、「金属3」、「金属4」、「金属5」のルーティング層と称される。図3に示されているそれぞれの層の水平方向の寸法は、その層の内部での好適なルーティング方向を示している。例えば、金属層1、3、5は、図の表面の幅に沿った好適なルーティング方向を有するのに対し、金属層2、4は、図面に対して(内部へ)垂直方向の好適なルーティング方向を有する。これ以外のルーティング方向もまた、用いることができる。あるルーティング層の上の導電性セグメントは、別のルーティング層の上の導電性セグメント又は領域72における半導体デバイスと、ルーティング層の間を垂直方向に延長する導電性のバイアを介して相互接続される。例えば、バイア88は、金属3のルーティング層上の導電性セグメントを、金属2のルーティング層上の導電性セグメントと相互接続する。

【0015】ある実施例では、電源バスVDD、VSS、VDD2、VSS2は、金属3のルーティング層の内部でルーティングされ、I/O領域12内部でダイ50の周辺領域に沿って延長する(図2)。I/O領域12及びコア領域14内部のデバイスを機能的に相互接続する信号ワイヤは、典型的には、金属1及び金属2のルーティング層内部において、ルーティングされる。しかし、別の実施例では、これらの信号ワイヤは、任意の金属ルーティング層の内部でルーティングすることができる。電力をI/O領域12及びコア領域14の種々のデバイスに提供する電源及びグランド・ストラップは、金属1及び金属2のルーティング層の内部でルーティングされ、金属3のルーティング層における電源バスに、導電性バイアを介して結合される。更なる電源及びグランド・ストラップを、金属4及び5のルーティング層又はそれ以外の更に上のルーティング層の内部でルーティングすることもできる。

【0016】図4は、I/O領域12の内部のI/Oセル100の平面図であり、電源バスVDD、VSS、VDD2、VSS2のルーティングが図解されている。I/Oセル100は、周辺領域52に隣接して位置決めされ、破線102a、102b及び102cによって定義されるセル境界を有する。電源バスVDD、VSS、VDD2、VSS2は、境界領域52にほぼ平行に、I/Oセル100を通って延長する。ラベルM3は、これらのバスが金属3のルーティング層に沿ってルーティングされることを示している。別の実施例では、電源バスは、任意の金属ルーティング層においてルーティングされる。バスVDD及びVSSは、電力をI/O領域12の内部の半導体デバイスに供給し、バスVDD2及びV

S S 2は、電力をコア領域5 8内部の半導体デバイスに供給する。

【0017】図5は、I/O領域1 2の平面図であり、金属2のルーティング層と金属3のルーティング層から成る金属ルーティング・パターンが相互に重疊している様子を図解している。電源バスV DD、V SS、V DD 2、V SS 2は、金属3のルーティング層の内部を、図面に沿って水平方向に延長している。導電性セグメント1 2 0、1 2 2、1 2 4、1 2 6、1 2 8は、金属2のルーティング層の内部を図面に沿って垂直方向に延長する信号ワイヤである。導電性セグメント1 3 0及び1 3 2は、ダミー金属などのそれ以外には未使用の金属によって形成され、信号ワイヤ・セグメント1 2 0、1 2 2、1 2 4、1 2 6、1 2 8の間の金属2のルーティング層に加えられる。ダミー金属は、多くの場合、未使用的領域に加えられ、特に金属メッキが粗である領域において、均一な金属メッキ・プロセスを維持する。導電性セグメント1 3 0及び1 3 2への金属は、また、半導体設計プロセスの間に、光信号ルートの領域に加えられ、ダミー金属の代わりになり、以下で論じるように、所望の容量性構造を形成する。

【0018】導電性セグメント1 3 0の一部は、領域1 3 4において、電源バスV SSと重なる。導電性セグメント1 3 0は、バイアを介して、電源バスV DDに電気的に結合される。電源バスV DDが電源バスV SSとは逆の極性を有しているから、そして、導電性セグメント1 3 0は誘電層によって電源バスV SSから分離しているので、電源バスV SSと重なる導電性セグメント1 3 0の部分は、電源バスV SSの重なった部分と共に、電源デカップリング・コンデンサを形成する。このコンデンサは、I/O領域1 2内部のローカルなトランジスタが必要に応じて用いることができる電荷を保持する。このコンデンサは、その全体のキャパシタンスは値が低いが、スイッチングの間に電荷を必要とするデバイスに極めて近接しており、従って、非常に効率的である。

【0019】同様に、導電性セグメント1 3 2は、領域1 3 8において、供給バスV DD 2と重なる。導電性セグメント1 3 2は、バイア1 4 0を介して電源バスV SSと電気的に結合されるが、その際に、電源デカップリング・コンデンサが、導電性セグメント1 3 2と電源バスV DD 2との間の領域1 3 8に形成される。このコンデンサは、電源バスV DD 2及びV SS 2によって給電されるコア領域1 4内部のトランジスタが必要に応じて用いることができる電荷を保持する。ダミー金属、すなわち、付加的な未使用の金属をそれ以外のルーティング層に加え、電源バスを有するデカップリング・コンデンサを形成することもできる。電源デカップリング・コンデンサを、更に大きな電源デカップリング・キャパシタンスのために、ダミー電力及びコーナー・セルにおいて形成することもできる。

【0020】更なるオン・ダイ型の電源デカップリング・コンデンサを、ダミー金属をコア領域の内部でルーティングされている電源及びグランド・ストラップに選択的に結合することによって、ダイのコア領域1 4の内部に形成することができる。これは、新たな金属を追加する又は未使用の金属構造を拡張して未使用の金属構造がV DD 2及びV SS 2に接続されている電源及びグランド・ストラップと重なっている領域を最大化し、更に、この未使用の金属構造を反対の極性を有する電源及びグランド・ストラップに電気的に結合することによって、達成される。このコンデンサを形成するのに用いられるダミー金属は、V DD 2及びV SS 2の電源及びグランド・ストラップと重なる任意のルーティング層に位置決めされる。

【0021】図6は、本発明によるオン・ダイ型の電源デカップリング容量性構造を有するコア領域1 4の一部の平面図である。コア領域1 4は、例えば、金属2のルーティング層に沿って延長する電源及びグランド・ストラップ1 5 0及び1 5 2を含む。ダミー金属構造1 5 4 20は、金属1のルーティング層に沿って延長し、領域1 5 6、1 5 8、1 6 0において延長して、ダミー金属が電源ストラップ1 5 0と重なる領域を最大化する。ダミー金属構造1 5 4は、バイア1 6 2を介して、グランド・ストラップ1 5 2と電気的に結合する。これにより、ダミー金属構造1 5 4と電源ストラップ1 5 0との重疊領域の間にオン・ダイ型のデカップリング・コンデンサが形成される。

【0022】同様にして、ダミー金属構造1 7 0及び1 7 2は、金属1のルーティング層に沿って延長し、領域30 1 7 4において延長して、ダミー金属構造1 7 0及び1 7 2と電源ストラップ1 5 2との重なりを最大化する。ダミー金属構造1 7 0及び1 7 2は、バイア1 7 6及び1 7 8を介して、電源ストラップ1 5 0と電気的に結合し、未使用のダミー金属構造1 7 0及び1 7 2とグランド・ストラップ1 5 2との重なる部分の間にオン・ダイ型のデカップリング・コンデンサを形成する。

【0023】本発明によるオン・ダイ型の電源デカップリング・コンデンサは、複数のトランジスタの同時的なスイッチングに伴うノイズを、それらのトランジスタの40近傍に追加的な電荷を提供することによって、低下させる。この追加的な電荷がその出力をスイッチングする際にトランジスタを助けるのに用いられることができるよう、電流経路が与えられる。概算では、このような構造のキャパシタンスは、V DD及びV SS電源バスに対してはI/Oセル1つ当たり6 0 フェムト・ファラッド(f F)、V DD 2及びV SS 2電源バスに対してはI/Oセル1つ当たり3 0 フェムト・ファラッド(f F)程度である。コア領域では、追加的なデカップリング・コンデンサが1 0 mmダイの全体に加えられた場合に50は、全体のキャパシタンスは、1 2 p Fのオーダーであ

る。しかし、これらの概算は、種々の応用例に対して著しく変動し、ダミー金属と電源バスとの重なり合いの面積の全体に大きく依存する。

【0024】以上で本発明を好適実施例に関して説明したが、当業者であれば、本発明の技術思想と技術的範囲とから逸脱せずに、形式及び詳細において変更が可能であることを理解するはずである。

#### 【図面の簡単な説明】

【図1】本発明による電源デカップリング・コンデンサを有する半導体集積回路の回路図である。

【図2】図1に示した回路を形成することができる半導

体ダイの平面図である。

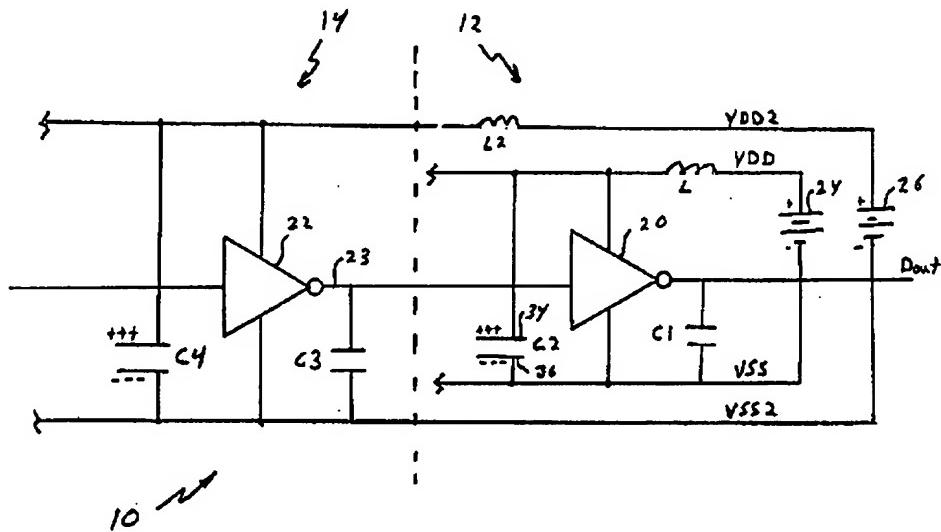
【図3】図2の線3-3に沿った位置でのダイの断面図である。

【図4】ダイのI/O領域の内部におけるI/Oセルの平面図である。

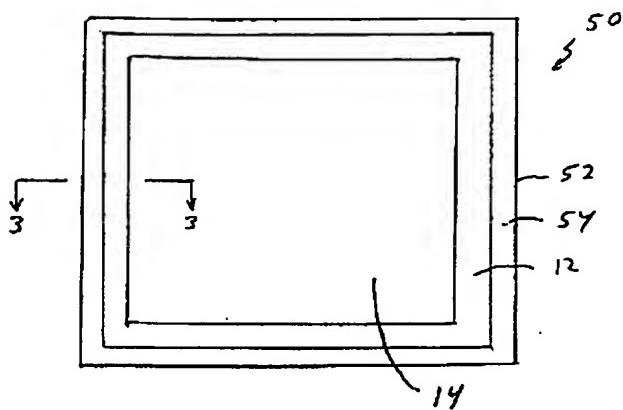
【図5】I/O領域の部分図であり、本発明によるオン・ダイ型の電源デカップリング・コンデンサを有している。

【図6】ダイのコア領域の部分図であり、本発明による10 オン・ダイ型の電源デカップリング・コンデンサを有している。

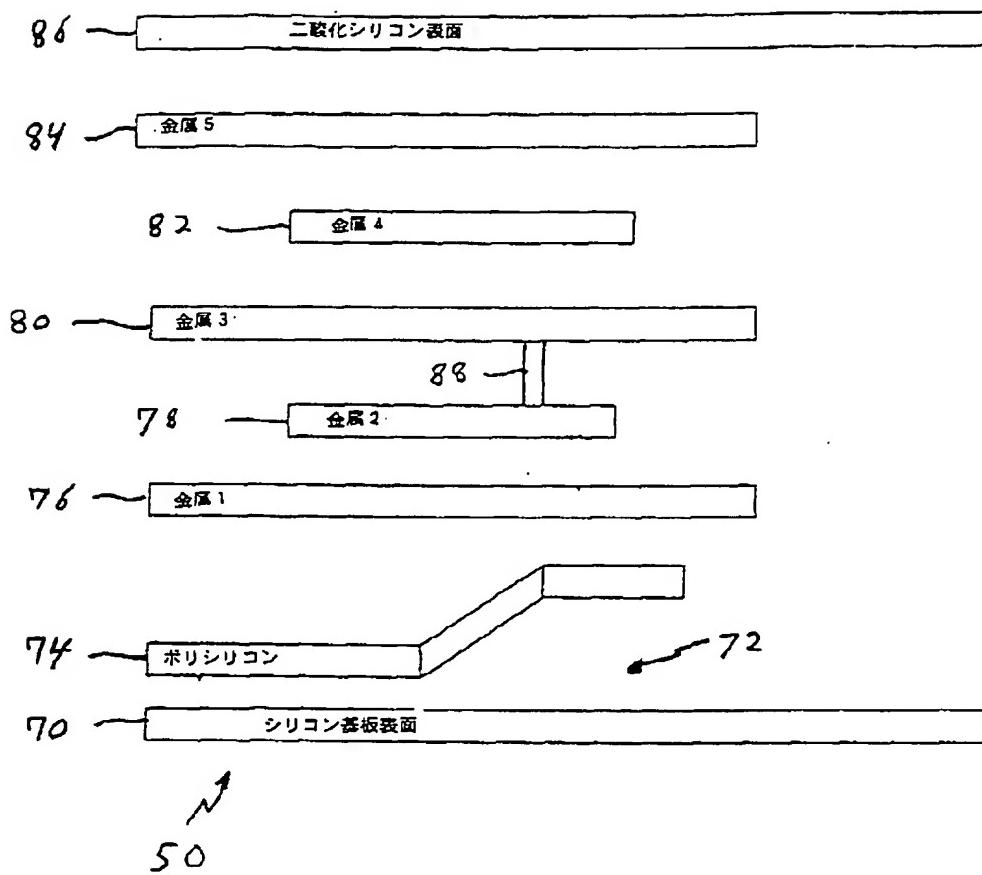
【図1】



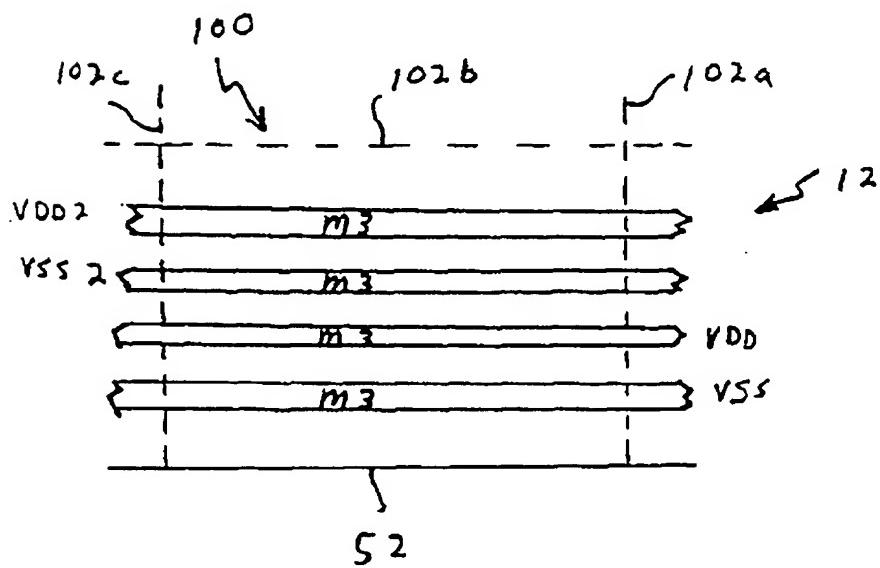
【図2】



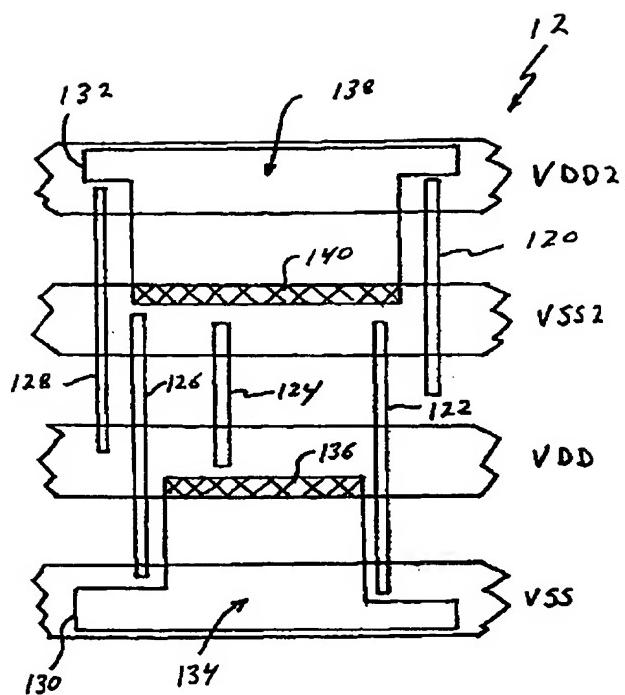
【図3】



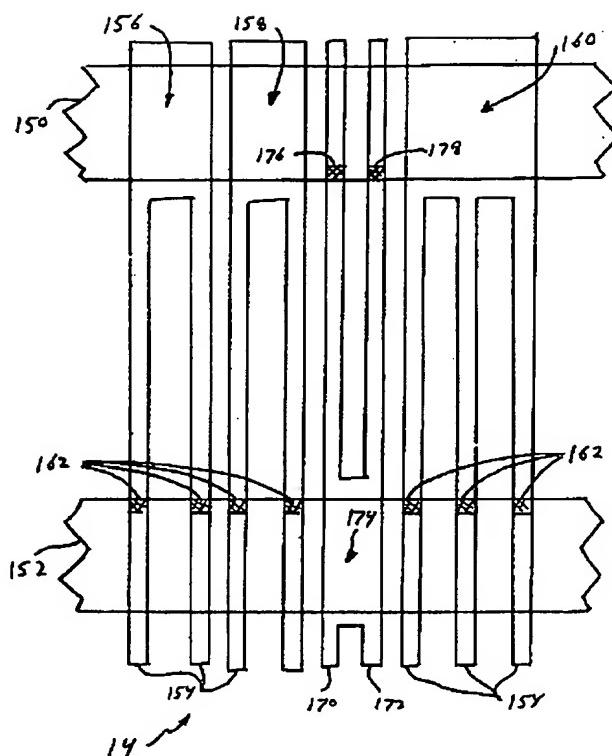
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 スコット・キング

アメリカ合衆国ミネソタ州55372, プライ  
オラー・レイク, ペブル・ブルック・コー  
ト 16585